

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-174583

(43)Date of publication of application : 13.07.1993

(51)Int.Cl.

G11C 16/02
H01L 29/788
H01L 29/792

(21)Application number : 03-339212

(71)Applicant : KAWASAKI STEEL CORP

(22)Date of filing : 24.12.1991

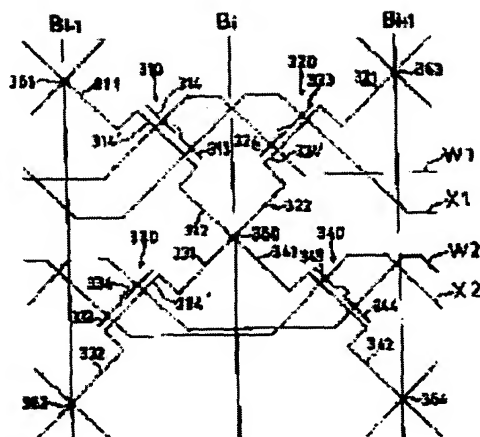
(72)Inventor : YONEDA MASATO

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To enable higher integration the same in degree as a stack gate type cell by specifying a gate electrode position of two non-volatile memory cells arranged on the right and left sandwiching bit lines to upgrade integration.

CONSTITUTION: Four memory cells 310, 320, 330 and 340 are arranged in a transistor layout area. Here, an address gate electrode 313 of the memory cell 310 is provided on the side of a bit line Bi from a memory gate electrode 314 thereof and an address gate electrode 323 of the memory cell 320 is provided on a bit line Bi+1 from the memory gate electrode 324. The memory cells 330 and 340 are made the same in the structure. This allows the employing of an X-type structure though the device is a split gate type memory cell to reduce the occupying area per a memory cell by 23% as compared with the area of the conventional type thereby achieving higher integration almost in the same degree as that of a stack gate type.



LEGAL STATUS

[Date of request for examination] 23.08.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2805667

[Date of registration] 24.07.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-174583

(43)公開日 平成5年(1993)7月13日

(51)IntCl.³

識別記号

片内整理番号

FI

技術表示箇所

G11C 16/02

H01L 29/788

29/792

9191-5L

G11C 17/00

307 B

H01L 29/78

371

審査請求 未請求 請求項の数1(全 6 頁)

(21)出願番号

特願平3-339212

(22)出願日

平成3年(1991)12月21日

(71)出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72)発明者 米田 正人

東京都千代田区内幸町2丁目2番3号 川崎製鉄株式会社東京本社内

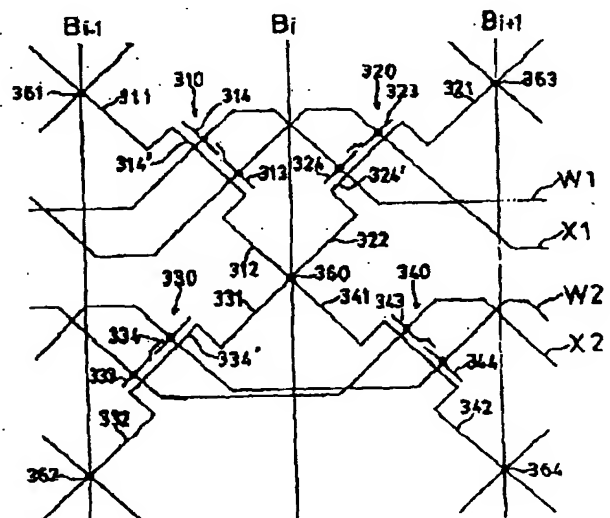
(74)代理人 弁理士 小杉 佳男 (外1名)

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】いわゆるMNOS、MONOSと呼ばれる、電気的消去可能なスプリットゲート型の不揮発性メモリセルを有する半導体記憶装置に関し、従来と比べ、集積度を向上させた、スプリットゲート型の電気的消去可能なメモリセルを用いて構成された半導体記憶装置を提供する。

【構成】各ビットラインを挟んで左右方向に配列された2つの不揮発性メモリセルのうちの一方の不揮発性メモリセルのアドレスゲート電極が該一方の不揮発性メモリセルのメモリゲート電極よりもこれら2つの不揮発性メモリセルに挟まれたビットライン側に設けるとともに、これら2つの不揮発性メモリセルのうちの他方の不揮発性メモリセルのメモリゲート電極が該他方の不揮発性メモリセルのアドレスゲート電極よりもこれら2つの不揮発性メモリセルに挟まれたビットライン側に設ける。



1

【特許請求の範囲】

【請求項1】 2つのソース／ドレイン電極と、これら2つのソース／ドレイン電極を制御するためのアドレスゲート電極及びメモリゲート電極とからなる、スプリットゲート構造を備えた電気的消去可能な不揮発性メモリセルが多数配列されてなる半導体記憶装置において、上下方向に互いに平行に延びる多数のビットラインと、左上と右下とを結ぶ方向に互いに平行に延びる、互いに隣接する前記ビットラインの間に1つずつ前記不揮発性メモリセルが配置され互いに隣接する前記不揮発性メモリセルに挟まれる前記ビットライン上の所定点でこれら互いに隣接する不揮発性メモリセルの各一方の前記ソース／ドレイン電極が接続された多数の第1メモリセル列と、右上と左下とを結ぶ方向に互いに平行に延びる、互いに隣接する前記ビットラインの間に1つずつ前記不揮発性メモリセルが配置され互いに隣接する前記不揮発性メモリセルに挟まれる前記ビットライン上の前記所定点でこれら互いに隣接する不揮発性メモリセルの各一方の前記ソース／ドレイン電極が接続された多数の第2メモリセル列とを備え、前記各ビットラインを挟んで左右方向に配列された2つの不揮発性メモリセルのうちの一方の不揮発性メモリセルの前記アドレスゲート電極が該一方の不揮発性メモリセルの前記メモリゲート電極よりもこれら2つの不揮発性メモリセルに挟まれた前記ビットライン側に設けられるとともに、これら2つの不揮発性メモリセルのうちの他方の不揮発性メモリセルの前記メモリゲート電極が該他方の不揮発性メモリセルの前記アドレスゲート電極よりもこれら2つの不揮発性メモリセルに挟まれた前記ビットライン側に設けられてなることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、いわゆるMNOS、MONOSと呼ばれる、電気的消去可能なスプリットゲート型の不揮発性メモリセルを有する半導体記憶装置に関する。

【0002】

【従来の技術】従来よりMNOS、MONOSと呼ばれる電気的消去可能なスプリットゲート型の不揮発性メモリセルが知られている。このメモリセルにはアドレスゲート電極とメモリゲート電極との2つのゲート電極が備えられており、このメモリセルは、2つのゲート電極のうちメモリゲート電極を構成する所定の層中に電子を注入する（蓄込む）か、該所定の層中の電子を放出する（消去する）かに応じて、そのメモリセルを構成するトランジスタをオン状態とするに必要なメモリゲート電極に印加する電圧（スレシヨルド電圧）が変化するという特性を有している。そこでこのメモリセルに書き込みを行

2

なうか消去を行なうかにより、'0'、'1'のデジタル値を記憶させ、読出しの際にはこのスレシヨルド電圧の差異を検出することによってそのメモリセルが書き込み状態にあるか消去状態にあるか、即ちそのメモリセルに記憶された内容が'0'か'1'かが認識される。

【0003】図3は、上記のような不揮発性メモリセルを用いた半導体記憶装置の部分回路図、図4は図3に示す部分回路図に対応した部分の半導体チップ上のレイアウト図である。簡単のため、これらの図において互に対応する要素には、互に対応する番号が付されている。図3、図4には4つのメモリセル10、20、30、40が示されている。これらのメモリセル10、20、30、40のうちメモリセル10、30のドレイン電極11、31は図の縦方向に延びるビットラインB₁に接続され、メモリセル20、40のドレイン電極21、41はビットラインB₂に接続されている。また各メモリセル10、20、30、40のソース電極12、22、32、42は接地されている。またメモリセル10、20の各アドレスゲート電極13、23はアドレスゲートラインX₁と接続され、メモリゲート電極14、24はメモリゲートラインW₁と接続されている。またこれと同様にメモリセル30、40のアドレスゲート電極33、43はアドレスゲートラインX₂と接続され、メモリゲート電極34、44はメモリゲートラインW₂と接続されている。

【0004】上記のように構成されたメモリにおいて、メモリセル10に書き込みを行なう際には、例えばメモリゲートラインW₁に例えば9Vを印加し、ビットラインB₁を接地電位とすることによって書き込みが行なわれる。またこのときは基板も接地電位とされる。また例えばメモリセル10に消去を行なう際には、メモリゲートラインW₁を接地し、ビットラインB₁に9Vを印加することにより行なわれる。またメモリセル10の記憶内容を読出す際には、例えばアドレスゲートラインX₁に所定の正電圧を印加し、ビットラインB₁を図示しない電流駆動型のセンスアンプに接続しておいて、これによりメモリセル10のドレイン電極11からソース電極12に向かって電流が流れる（オン状態）か否か（オフ状態）を検出することによりメモリセル10に記憶された内容が'0'か'1'かが判定される。

【0005】

【発明が解決しようとする課題】上記MONOS等のスプリットゲート型不揮発性メモリセルは、書き込み、消去という書換えを行なうことのできる回数（書換可能回数）が10⁷回程度であって、2つのゲートが縦に積み重ねられた構造を有するスタックゲート型のメモリセルと比べ2桁程度多く、この点では非常に有利であるが、メモリセルにアドレスゲート電極とメモリゲート電極とが互いに横に並んで配置されているため、図4に示す構造を例えば1μmのデザインルールで設計した場合、図

3

4に一点鎖線で示すメモリセル1つあたりの面積は約 $17.2\mu\text{m}^2$ となり、同一のデザインルールを用いて設計されたスタックゲート型のメモリセルと比べ、例えば20%程度セル面積が大きく、したがってその分集積度が低く、同一容量のメモリを構成した場合チップサイズが大きくなってしまおうという問題がある。

【0006】ここで半導体メモリのうちROM等に適用される、集積度を向上させるレイアウトの1つとしてX型構造のメモリが知られている。図5は、X型構造のROMの一部を表わした回路図である。図の縦方向に多数のビットライン $\dots, B_{i-1}, B_i, B_{i+1}, \dots$ が延びており、またこの図の左上と右下とを結ぶ方向及び右上と左下とを結ぶ方向に、互いに隣接するビットラインの間に1つずつ配置されたメモリセル110, 130, 120, 140からなるメモリセル列が延びている。この図には、3本のビットライン B_{i-1}, B_i, B_{i+1} と、図の左上と右下とを結ぶ方向に延びる一本のメモリセル列を構成する2つのメモリセル110, 140と、図の右上と左下とを結ぶ方向に延びる一本のメモリセル列を構成する2つのメモリセル120, 130が示されている。

【0007】これらのメモリセル110, 120, 130, 140の各2つのソース/ドレイン電極111, 112; 121, 122; 131, 132; 141, 142のうちの各一方112, 122, 131, 141はビットライン B_i 上の所定点160で、互いに、及びビットライン B_i と接続されている。またメモリセル110, 130の各他方のソース/ドレイン電極111, 132はビットライン B_{i-1} 上の各所定点、メモリセル120, 140の各他方のソース/ドレイン電極121, 142はビットライン B_{i+1} 上の各所定点にそれぞれ接続されている。また、メモリセル110, 120の各ゲート電極113, 123は図の左右に延びるゲートラインW1に接続されており、メモリセル130, 140の各ゲート端子133, 143はゲートラインW2に接続されている。

【0008】ROMの場合、例えばメモリセル110に示すように配線の一部115が等価的に断線しているか否かにより'1', '0'の情報が記憶されるが、例えばメモリセル110に記憶された情報を読み出す場合、ビットライン B_{i-1} を接地し、ビットライン B_i をセンスアンプに接続し、ゲートラインW1に所定の正の電圧を印加した場合にこのメモリセル110に電流が流れないことをもって例えば'1'と検出される。またたとえばメモリセル120に記憶された情報を読み出す場合ビットライン B_i を接地し、ビットライン B_{i+1} をセンスアンプに接続し、ゲートラインW1に所定の正の電圧を印加するとこのメモリセル120を経由して電流が流れ、これにより例えば'0'と検出される。

【0009】このようにROM等ゲートが1つだけのメ

4

モリセルの場合は、X型に構成することにより、半導体チップ上でメモリセルの密度が高まり、これにより高集積化を図ることができるが、スプリットゲート型のメモリセルの場合は、以下に説明するように、単純にはX型構造を採用することはできない。図6は、スプリットゲート型のメモリセルをX型に配置した回路図である。

【0010】図5のROMの場合と同様に、図の縦方向に多数のビットライン $\dots, B_{i-1}, B_i, B_{i+1}, \dots$ が延びており、またこの図の左上と右下とを結ぶ方向、及び右上と左下とを結ぶ方向に、互いに隣接するビットラインの間に1つずつ配置されたメモリセル210, 230; 220, 240からなるメモリセルからなるメモリセル列が延びている。この図6には、図5の場合と同様に、3本のビットライン B_{i-1}, B_i, B_{i+1} と、図の左上と右下とを結ぶ方向に延びる一本のメモリセル列を構成する2つのメモリセル210, 240と、図の右上と左下とを結ぶ方向に延びる一本のメモリセル列を構成する2つのメモリセル220, 230が示されている。

【0011】これらのメモリセル210, 220, 230, 240の各2つのソース/ドレイン電極211, 212; 221, 222; 231, 232; 241, 242の各一方212, 222, 231, 241はビットライン B_i 上の所定点260で、互いに、及びビットライン B_i と接続されている。またメモリセル210, 230の各他方のソース/ドレイン電極211, 232はビットライン B_{i-1} 上の各所定点、メモリセル220, 240の各他方のソース/ドレイン電極221, 242は、ビットライン B_{i+1} 上の各所定点にそれぞれ接続されている。またメモリセル210, 220の各アドレスゲート電極213, 223は、図の左右に延びるアドレスゲートラインX1に接続されており、各メモリゲート電極214, 224は同様に図の左右に延びるメモリゲートラインW1に接続されている。またこれと同様に、メモリセル230, 240の各アドレスゲート電極233, 243はアドレスゲートラインX2に接続されており、各メモリゲート電極234, 244はメモリゲートラインW2に接続されている。

【0012】ここで、例えばメモリセル230に書込みを行なう場合を考える。この場合、メモリゲートラインW2に例えば9Vが印加され、かつビットライン B_i を接地することにより、メモリセル230のメモリゲート電極234が注入される（書込みが行なわれる）が、この場合メモリセル230のメモリゲート電極234とメモリセル240のメモリゲート電極244は共にメモリゲートラインW2に接続されているため、これらのメモリゲート電極234, 244には同時に9Vが印加され、またビットライン B_i にはこれらのメモリセル230, 240の各ソース/ドレイン電極231, 241の双方が接続されているため、ビットライン B_i を接地するとメモリセル230のソース/ドレイン電極231が

5

OVとなると同時にメモリセル240のソース/ドレイン電極241もOVとなり、したがってメモリセル230に書き込みが行なわれると同時にメモリセル240にも書き込みが行なわれることとなってしまう、これら2つのメモリセル230、240を互いに異なる状態(書き込み状態と消去状態)に変化させることができないという問題を生じることとなる。

【0013】本発明は、上記事情に鑑み、スプリットゲート型の電氣的消去可能なメモリセルを用いて構成された半導体記憶装置において、従来と比べ集積度を向上させることを目的とする。

【0014】

【課題を解決するための手段】上記目的を達成する本発明の半導体記憶装置は、2つのソース/ドレイン電極と、これら2つのソース/ドレイン電極を制御するためのアドレスゲート電極及びメモリゲート電極とからなる。スプリットゲート構造を備えた電氣的消去可能な不揮発性メモリセルが多数配列されてなる半導体記憶装置において、(a)上下方向に互いに平行に延びる多数のビットライン(b)左上と右下とを結ぶ方向に互いに平行に延びる、互いに隣接するビットラインの間に1つずつ不揮発性メモリセルが配置され互いに隣接する不揮発性メモリセルに挟まれるビットライン上の所定点でこれら互いに隣接する不揮発性メモリセルの各一方のソース/ドレイン電極が接続された多数の第1メモリセル列(c)右上と左下とを結ぶ方向に互いに平行に延びる、互いに隣接するビットラインの間に1つずつ不揮発性メモリセルが配置され互いに隣接する不揮発性メモリセルに挟まれるビットライン上の上記所定点でこれら互いに隣接する不揮発性メモリセルの各一方のソース/ドレイン電極が接続された多数の第2メモリセル列を備え、(d)各ビットラインを挟んで左右方向に配列された2つの不揮発性メモリセルのうちの一方の不揮発性メモリセルのアドレスゲート電極が該一方の不揮発性メモリセルのメモリゲート電極よりもこれら2つの不揮発性メモリセルに挟まれたビットライン側に設けられるとともに、これら2つの不揮発性メモリセルのうちの他方の不揮発性メモリセルのアドレスゲート電極が該他方の不揮発性メモリセルのメモリゲート電極よりもこれら2つの不揮発性メモリセルに挟まれたビットライン側に設けられてなることを特徴とする。

【0015】

【作用】本発明の半導体記憶装置は、各ビットラインを挟んで左右方向に配列された2つの不揮発性メモリセルのうちの一方の不揮発性メモリセルのアドレスゲート電極が該一方の不揮発性メモリセルのメモリゲート電極よりもこれら2つの不揮発性メモリセルに挟まれたビットライン側に設けられるとともに、これら2つの不揮発性メモリセルのうちの他方の不揮発性メモリセルのメモリゲート電極が該他方の不揮発性メモリセルのアドレスゲ

6

ート電極よりもこれら2つの不揮発性メモリセルに挟まれたビットライン側に設ける構造としたため、図6を参照して説明した問題点が解決され、スプリットゲート型のメモリセルであるにも拘らずX型構造が採用され、1つのメモリセルあたりの占有面積が小さくなり高集積化が可能となる。ここで1 μ mのデザインルールを採用した場合、X型構造を採用することにより1つのメモリセルあたりの面積が13.3 μ m²程度で済み、従来(図3、図4参照)と比べ、その占有面積は23%ほど減少し、これにより同一のデザインルールで設計した場合のスタックゲート型メモリセルとほぼ同程度の集積度が可能となり、スタックゲート型メモリセルと対比した場合の短所である集積度の低さが克服され、したがってスプリットゲート型メモリセルの長所を一層有効に生かすことができることとなる。

【0016】

【実施例】以下、本発明の実施例について説明する。図1は、本発明の一実施例の半導体記憶装置の部分回路図、図2は図1に示す部分回路図に対応した部分の半導体チップ上のレイアウト図である。ここでも簡単のため、これらの図において互に対応する要素には互に対応する番号が付されている。

【0017】図2に示すトランジスタ配置領域300内に4つのメモリセル310、320、330、340が配置されている。これら4つのメモリセル310、320、330、340のうち、メモリセル310、340は図の左上と右下とを結ぶメモリセル列の一部分を構成しており、メモリセル320、330は図の右上と左下とを結ぶメモリセル列の一部分を構成している。またここでは上下方向に延びる3本のビットラインB_{i-1}、B_i、B_{i+1}が示されている。

【0018】メモリセル310、320、330、340の各2つのソース/ドレイン電極311、312、321、322、331、332、341、342のうち、各一方312、322、331、341はビットラインB_i上の所定点360で、互いに、及びビットラインB_iと接続されている。またメモリセル310、330の各他方のソース/ドレイン電極311、332はビットラインB_{i-1}上の各所定点361、362、メモリセル320、340の各他方のソース/ドレイン電極321、342はビットラインB_{i+1}上の各所定点363、364と接続されている。

【0019】ここで、メモリセル310のアドレスゲート電極313は、そのメモリゲート電極314よりもビットラインB_i側に備えられており、メモリセル320のアドレスゲート電極323は、そのメモリゲート電極324よりもビットラインB_{i+1}側に備えられている。このため、これらのアドレスゲート電極313、323をつなぐアドレスゲートラインX1とこれらのメモリゲート電極314、324をつなぐメモリゲートラインW

7

1は互いに交叉している。またこれと同様にメモリセル330のアドレスゲート電極333は、そのメモリゲート電極334よりもビットライン B_{i-1} 側に備えられており、メモリセル340のアドレスゲート電極343は、そのメモリゲート電極344よりもビットライン B_i 側に備えられている。このためこれらのアドレスゲート電極333、343をつなぐアドレスゲートラインX

8

2とこれらのメモリゲート電極334、344をつなぐメモリゲートラインW2も互いに交叉している。

【0020】ここで、メモリセル320に書込む場合について説明する。この場合、一例として各ラインに以下の表1に示す電圧(V)が印加される。

【0021】

【表1】

B_{i-1}	B_i	B_{i+1}	W1	X1	W2	X2	基板
9	0	9	9	0	0	0	0

この場合、メモリセル320のメモリゲート電極324には9Vが印加され、その対向面324'は0Vとなるため、これによりメモリセル320に書込みが行われる。この場合において、他のメモリセル310、330、340については、以下に述べるように問題は生じない。

【0022】まずメモリセル310に関しては、そのメモリゲート電極314には9Vが印加され、このメモリセル310に既に書込みが行われていた場合はメモリゲート電極314の対向面314'には基板の0Vが印加されて再度の書込みが行われ、このメモリセル310が消去状態にあった場合はその対向面314'にはビットライン B_{i-1} の9Vが印加されて書込みも消去も行われない。

【0023】またメモリセル330に関しては、そのメモリゲート電極334に0Vが印加されており、ビットライン B_i も基板も0Vであるため、このメモリセル330が書込み状態にあったか消去状態にあつたかに拘らずメモリゲート電極334の対向面334'は0Vとなりしたがって書込みも消去も行われない。さらにメモリセル340に関しては、そのメモリゲート電極344には0Vが印加されており、このメモリセル340に既に書込みが行われていた場合はメモリゲート電極344の対向面344'には基板の0Vが印加され、したがって書込みも消去も行われず、またメモリセル340が消去状態にあったときはメモリゲート電極344の対向面は9Vとなり、再度の消去が行われる。

【0024】このように、1つのメモリセルに書込みを行う際、他のメモリセルに問題が生じることはない。尚、ここでは書込みの場合について説明したが、消去の場合及び読出しの場合も正常に作動する。

【0025】

【発明の効果】以上説明したように、本発明の半導体記憶装置は、各ビットラインを挟んで左右方向に配列された2つの不揮発性メモリセルのうちの一方の不揮発性メモリセルのアドレスゲート電極が該一方の不揮発性メモリセルのメモリゲート電極よりもこれら2つの不揮発性メモリセルに挟まれたビットライン側に設けられると

もに、これら2つの不揮発性メモリセルのうちの他方の不揮発性メモリセルのメモリゲート電極が該他方の不揮発性メモリセルのアドレスゲート電極よりもこれら2つの不揮発性メモリセルに挟まれたビットライン側に設けられた構造としたため、スプリットゲート型のメモリセルであるにも拘らずX型構造が採用され、1つのメモリセルあたりの占有面積が小さくなり、スタックゲート型メモリセルとほぼ同程度ま高集積化が可能となる。これにより、スタックゲート型メモリセルと対比した場合の集積度の低さが克服され、したがってスプリットゲート型メモリセルの長所を一層有効に生かすことができることとなる。

【図面の簡単な説明】

【図1】本発明の一実施例の半導体記憶装置の部分回路図である。

【図2】図1に示す部分回路図に対応した部分の半導体チップ上のレイアウト図である。

【図3】不揮発性メモリセルを用いた半導体記憶装置の部分回路図である。

【図4】図3に示す部分回路図に対応した部分の半導体チップ上のレイアウト図である。

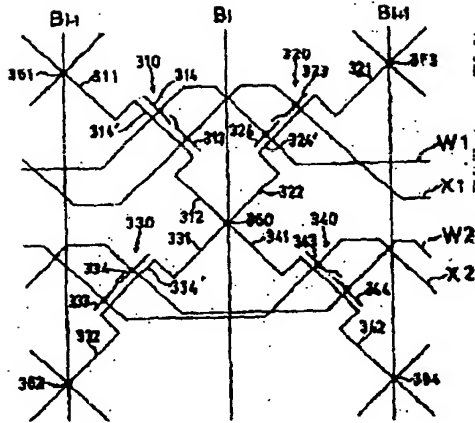
【図5】X型構造のROMの一部を表わした回路図である。

【図6】スプリットゲート型のメモリセルをX型に配置した回路図である。

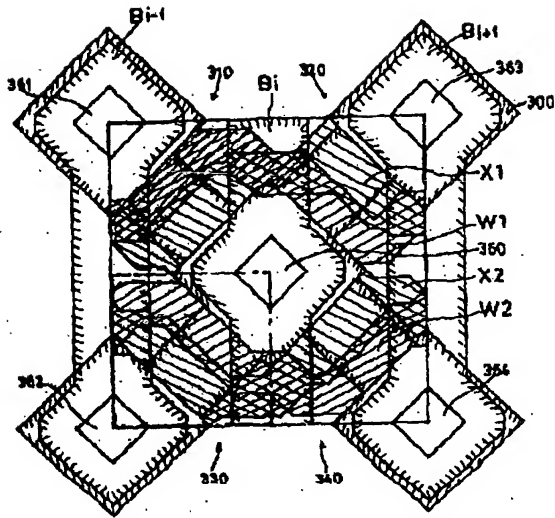
【符号の説明】

300 トランジスタ領域
 310、320、330、340 メモリセル
 311、312、321、322、331、332、341、342 ソース/ドレイン電極
 313、323、333、343 アドレスゲート電極
 314、324、334、344 メモリゲート電極
 360、361、362、363、364 所定点
 B_{i-1} 、 B_i 、 B_{i+1} ビットライン
 $X1$ 、 $X2$ アドレスゲートライン
 $W1$ 、 $W2$ メモリゲートライン

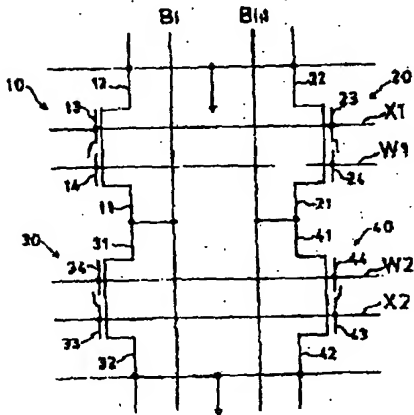
【図1】



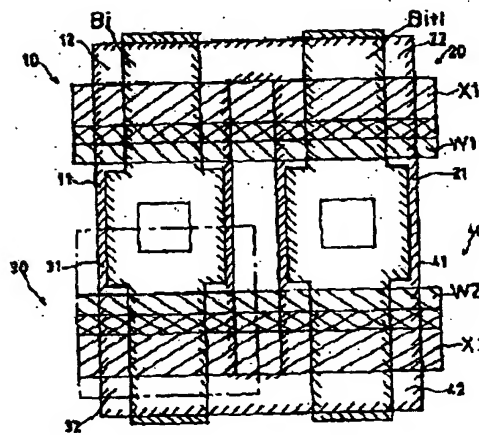
【図2】



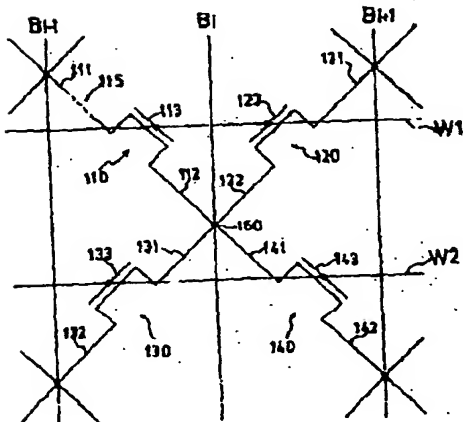
【図3】



【図4】



【図5】



【図6】

